

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME**Patent number:** JP2001290439**Publication date:** 2001-10-19**Inventor:** YAMAZAKI SHUNPEI**Applicant:** SEMICONDUCTOR ENERGY LAB**Classification:**

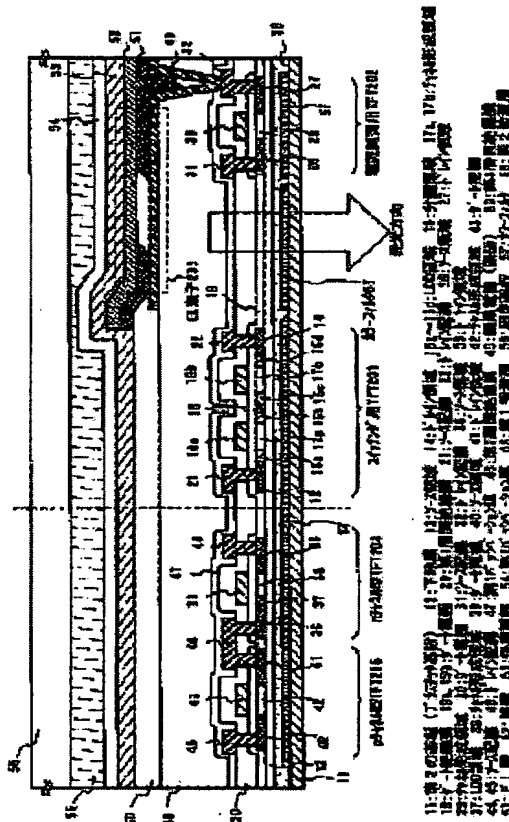
- international: G02F1/13357; G02F1/1368; G09F9/00; G09F9/30; H01L21/336; H01L29/786; H05B33/10; H05B33/12; H05B33/14; H05B33/22; G02F1/13; G09F9/00; G09F9/30; H01L21/02; H01L29/66; H05B33/10; H05B33/12; H05B33/14; H05B33/22; (IPC1-7): G09F9/30; G02F1/13357; G02F1/1368; G09F9/00; H01L21/336; H01L29/786; H05B33/10; H05B33/12; H05B33/14; H05B33/22

- european:**Application number:** JP20010023509 20010131**Priority number(s):** JP20010023509 20010131; JP20000024540 20000201

Report a data error here

Abstract of JP2001290439

PROBLEM TO BE SOLVED: To provide a technique to manufacture a high-performance optoelectronic device by using a plastic supporting body (including a plastic film or plastic substrate). **SOLUTION:** The method includes a process of forming necessary elements on a substrate having higher heat resistance than plastics and then transferring the elements by the treatment at room temperature to a plastic substrate 11. A color filter 57 is formed on the plastic substrate 11 and adhered with the base film 12 of a TFT element by using a first adhesive layer 55.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

公開特許公報 (A)

(11) 特許出願公開番号

特開2001-290439

(P 2 0 0 1 - 2 9 0 4 3 9 A)

(43) 公開日 平成13年10月19日 (2001.10.19)

| (51) Int. Cl. ⁷ | 識別記号 | F I | テマコード (参考) |
|------------------------------------|------|-----------|------------|
| G09F 9/30 | 338 | G09F 9/30 | 338 |
| | 310 | | 310 |
| | 349 | | 349 B |
| | | | 349 C |
| | 365 | | 365 Z |
| 審査請求 未請求 請求項の数24 O L (全24頁) 最終頁に続く | | | |

(21) 出願番号 特願2001-23509 (P 2001-23509)

(22) 出願日 平成13年1月31日 (2001.1.31)

(31) 優先権主張番号 特願2000-24540 (P 2000-24540)

(32) 優先日 平成12年2月1日 (2000.2.1)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

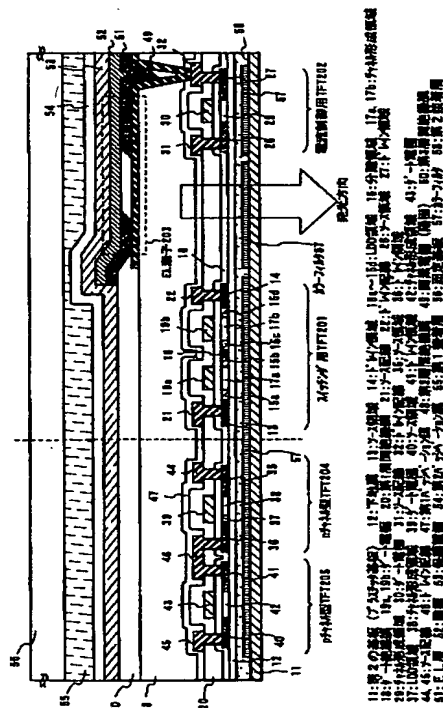
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 本願発明は、プラスチック支持体（プラスチックフィルムもしくはプラスチック基板を含む）を用いて高性能な電気光学装置を作製するための技術を提供することを課題とする。

【解決手段】 本願発明は、プラスチックに比べて耐熱性のある基板の上に必要な素子を形成し、後にそれらの素子を室温の処理によりプラスチック基板11に移すことを特徴としている。また、プラスチック基板11上にカラーフィルタ57を設けられ、第1の接着層55により TFT素子の下地膜12と接着している。



【特許請求の範囲】

【請求項 1】基板上に接着層と、
前記接着層上に絶縁膜と、
前記絶縁膜上に発光素子とを有し、
前記発光素子から発光した光は、前記基板を通過して放射されることを特徴とする半導体装置。

【請求項 2】請求項 1 において、前記基板は、有機材料からなるプラスチック基板であることを特徴とする半導体装置。

【請求項 3】請求項 1 または請求項 2 において、前記絶縁膜上に駆動回路を有し、前記発光素子及び前記駆動回路は T F T を有していることを特徴とする半導体装置。

【請求項 4】請求項 1 乃至 3 のいずれかにおいて、前記基板上にカラーフィルタが、発光素子と重なる位置に設けられていることを特徴とする半導体装置。

【請求項 5】請求項 4 において、前記カラーフィルタを覆い、且つ平坦化された絶縁膜を有していることを特徴とする半導体装置。

【請求項 6】請求項 4 または請求項 5 において、前記カラーフィルタのうち、赤色のカラーフィルタが、少なくとも前記 T F T のチャンネル形成領域と重なる位置に設けられていることを特徴とする半導体装置。

【請求項 7】請求項 1 乃至 6 のいずれかにおいて、前記接着層は、ポリイミド、アクリル、またはエポキシ樹脂であることを特徴とする半導体装置。

【請求項 8】請求項 1 乃至 7 のいずれかにおいて、前記基板に対向して固定基板が前記発光素子上に設けられていることを特徴とする半導体装置。

【請求項 9】T F T が設けられ、且つ有機材料からなる第 1 の基板と、
第 2 の基板と、
前記第 1 の基板と前記第 2 の基板との間に保持された液晶材料とを有し、
前記第 1 の基板と前記 T F T との間にカラーフィルタを備えたことを特徴とする半導体装置。

【請求項 1 0】請求項 9 において、前記有機材料からなる第 1 の基板は、プラスチック基板であることを特徴とする半導体装置。

【請求項 1 1】請求項 9 または請求項 1 0 において、前記カラーフィルタを覆い、且つ平坦化された絶縁膜を有していることを特徴とする半導体装置。

【請求項 1 2】請求項 9 乃至 1 1 のいずれかにおいて、前記カラーフィルタは、少なくとも T F T のチャンネル形成領域と重なる位置に設けられていることを特徴とする半導体装置。

【請求項 1 3】請求項 4 乃至 1 2 のいずれかにおいて、前記カラーフィルタとともにブラックマスクを有していることを特徴とする半導体装置。

【請求項 1 4】請求項 1 乃至 1 3 に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、ゴーグル型デ

イスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項 1 5】第 1 の基板上に分離層を形成する工程と、
前記分離層上に絶縁膜を形成する工程と、
前記絶縁膜上に発光素子を形成する工程と、
前記発光素子上に第 1 接着層を用いて固定基板を貼り合わせる工程と、

10 フッ化ハロゲンを含むガスに晒すことにより前記分離層を除去して第 1 の基板を分離する工程と、
前記絶縁膜と第 2 の基板とを第 2 接着層を用いて貼り合わせる工程とを有し、
前記第 2 の基板にはカラーフィルタを有していることを特徴とする半導体装置の作製方法。

【請求項 1 6】請求項 1 5 において、前記第 1 接着層としてポリイミド、アクリル、またはエポキシ樹脂を用いることを特徴とする半導体装置の作製方法。

【請求項 1 7】請求項 1 5 または請求項 1 6 において、
20 前記第 2 接着層としてポリイミド、アクリル、またはエポキシ樹脂を用いることを特徴とする半導体装置の作製方法。

【請求項 1 8】第 1 の基板上に分離層を形成する工程と、
前記分離層上に絶縁膜を形成する工程と、
前記絶縁膜上に活性層、ゲート絶縁膜、ゲート電極を形成する工程と、
前記ゲート電極を覆う第 1 層間絶縁膜を形成する工程と、

30 前記第 1 層間絶縁膜上に配線及び画素電極を形成する工程と、
対向電極を設けた固定基板をシール剤により前記第 1 の基板の上に貼り合わせる工程と、
前記画素電極と前記対向電極との間に液晶を注入する工程と、
前記分離層をフッ化ハロゲンを含むガスに晒すことにより除去して第 1 の基板を分離する工程と、
前記絶縁膜と第 2 の基板とを接着層を用いて貼り合わせる工程とを有し、

40 前記第 2 の基板にはカラーフィルタを有していることを特徴とする半導体装置の作製方法。

【請求項 1 9】請求項 1 8 において、前記接着層としてポリイミド、アクリル、またはエポキシ樹脂を用いることを特徴とする半導体装置の作製方法。

【請求項 2 0】請求項 1 8 または請求項 1 9 において、前記カラーフィルタは、前記第 2 の基板側から見て前記活性層と重なることを特徴とする半導体装置の作製方法。

【請求項 2 1】請求項 2 0 において、前記活性層と重なるカラーフィルタは赤色であることを特徴とする半導体

装置の作製方法。

【請求項 22】請求項 15 乃至 21 のいずれかにおいて、前記第 2 の基板として、プラスチック基板を用いることを特徴とする半導体装置の作製方法。

【請求項 23】請求項 18 乃至 22 のいずれかにおいて、前記固定基板として透光性を有する基板を用いることを特徴とする半導体装置の作製方法。

【請求項 24】請求項 15 乃至 23 のいずれかにおいて、前記分離層としてシリコンからなる膜を用いることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、電極間に発光性材料を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）もしくは電極間に液晶を挟んだ素子（以下、液晶素子という）を有する装置（以下、液晶表示装置あるいは液晶モジュールという）を含む半導体装置およびその作製方法に関する。例えば、液晶表示装置や発光装置に代表される電気光学装置およびその様な電気光学装置（電子装置）を部品として搭載した電子機器（電子器具）に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（以下、TFT という）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置や発光装置のスイッチング素子として開発が急がれている。

【0004】また、近年、軽量化のため、フレキシブルなプラスチックフィルムの上に発光素子や TFT を形成することが試みられているが、現状では、ガラス基板上に形成した TFT と比べ良好な TFT は作製されていない。

【0005】EL (Electro Luminescence) が得られる発光性材料（以下、EL 材料という）を利用した発光素子（以下、EL 素子という）を用いた発光装置（以下、EL 表示装置あるいは EL モジュールという）の開発が進んでいる。EL 表示装置は、陽極と陰極との間に EL 材料を挟んだ構造の EL 素子を含む構造からなっている。この陽極と陰極との間に電圧を加えることによって、EL 材料中に電流を流してキャリアを再結合させ、発光する。このように EL 表示装置は発光素子自体に発光能力があるため、液晶表示装置に用いるようなバックライトが不要である。加えて、視野角が広く、軽量であり、且つ、低消費電力である。

【0006】また、この EL 表示装置においては、赤色、緑色、あるいは青色を有する光を発光する EL 素子をマトリクス状に配置するカラー化方式と、白色光を発光する EL 素子を用いカラーフィルタによるカラー化方式とがある。

【0007】赤色、緑色、あるいは青色を有する光を発光する EL 素子を用いた EL 表示装置では、色ごとに EL 材料が異なるため素子特性も異なり均一な表示を得ることは困難であった。

10 【0008】また、白色光を発光する EL 素子を用いカラーフィルタによるカラー化方式は、R（赤）、G（緑）、B（青）のカラーフィルタを画素に対応する位置に形成し、これにより画素ごとに取り出す光の色を変えるものである。なお、画素に対応した位置とは、画素電極と一致する位置を指す。このカラーフィルタは、R（赤）、G（緑）、B（青）の着色層と、画素の間隙だけを残して遮光マスクとを有し、光を透過させることによって赤色、緑色、青色の光を抽出する。また、カラーフィルタの遮光マスクは、一般的に金属膜または黒色顔料を含有した有機膜で構成されている。

20 【0009】また、液晶表示装置においては、アモルファスシリコンまたはポリシリコンを半導体とした TFT をマトリクス状に配置して、各 TFT に接続された画素電極とソース線とゲート線とがそれぞれ形成された素子基板と、これに対向配置された対向電極を有する対向基板との間に液晶材料が挟持されている。また、カラー表示するためのカラーフィルタは対向基板上に形成されている。原理的には上記に示したカラーフィルタを用いた EL 表示装置のカラー化方式と同様である。そして、素子基板と対向基板にそれぞれ光シャッタとして偏光板を配置し、カラー画像を表示している。

【0010】

【発明が解決しようとする課題】本願発明は、プラスチック支持体（プラスチックフィルムもしくはプラスチック基板を含む）を用いて高性能な電気光学装置を作製するための技術を提供することを課題とする。

30 【0011】また、遮光マスクとして金属膜を用いた液晶表示装置では、他の配線との寄生容量が形成され信号の遅延が生じやすいという問題が生じていた。また、遮光マスクを他の配線と絶縁するために有機膜を用いた場合、製造工程が増加するという問題が生じていた。

【0012】

【課題を解決するための手段】本願発明は、プラスチックに比べて耐熱性のある基板（ガラス基板、石英基板、シリコン基板、金属基板、もしくはセラミックス基板）の上に必要な素子を形成し、後にそれらの素子を室温の処理によりプラスチック支持体に移すことを特徴としている。

50 【0013】なお、前記必要な素子とは、アクティブマトリクス型の電気光学装置ならば画素のスイッチング素

子として用いる半導体素子（典型的には T F T ）もしくは M I M 素子並びに発光素子を指す。

【 0 0 1 4 】また、プラスチック支持体としては P E S（ポリエチレンサルファイド）、P C（ポリカーボネート）、P E T（ポリエチレンテレフタレート）もしくは P E N（ポリエチレンナフタレート）を用いることができる。

【 0 0 1 5 】本明細書で開示する発明の構成は、基板上に接着層と、前記接着層上に絶縁膜と、前記絶縁膜上に発光素子とを有し、前記発光素子から発光した光は、前記基板を通過して放射されることを特徴とする半導体装置である。

【 0 0 1 6 】上記構成において、前記基板は、有機材料からなるプラスチック基板である。また、前記絶縁膜上に駆動回路を有し、前記発光素子及び前記駆動回路は T F T を有している。

【 0 0 1 7 】また、各上記構成において、前記基板上にカラーフィルタが、発光素子と重なる位置に設けられている。なお、ここではカラーフィルタとして、バタニングされた 1 つの着色層（単色）を指している。また、前記カラーフィルタを覆い、且つ平坦化された絶縁膜を有していることを特徴としている。また、前記カラーフィルタのうち、赤色のカラーフィルタが、少なくとも前記 T F T のチャンネル形成領域と重なる位置に設けられていることを特徴としている。

【 0 0 1 8 】また、各上記構成において、前記基板に対向して固定基板が前記発光素子上に設けられている。

【 0 0 1 9 】また、他の発明の構成は、T F T が設けられ、且つ有機材料からなる第 1 の基板と、第 2 の基板と、前記第 1 の基板と前記第 2 の基板との間に保持された液晶材料とを有し、前記第 1 の基板と前記 T F T との間にカラーフィルタを備えたことを特徴とする半導体装置である。

【 0 0 2 0 】上記構成において、前記有機材料からなる第 1 の基板は、プラスチック基板である。また、前記カラーフィルタを覆い、且つ平坦化された絶縁膜を有していることを特徴としている。また、前記カラーフィルタは、少なくとも T F T のチャンネル形成領域と重なる位置に設けられていることを特徴としている。また、前記カラーフィルタとともにブラックマスクを有していることを特徴としている。

【 0 0 2 1 】また、上記構成を実現するための作製方法に関する発明の構成は、第 1 の基板上に分離層を形成する工程と、前記分離層上に絶縁膜を形成する工程と、前記絶縁膜上に発光素子を形成する工程と、前記発光素子上に第 1 接着層を用いて固定基板を貼り合わせる工程と、フッ化ハロゲンを含むガスに晒すことにより前記分離層を除去して第 1 の基板を分離する工程と、前記絶縁膜と第 2 の基板とを第 2 接着層を用いて貼り合わせる工程とを有し、前記第 2 の基板上にはカラーフィルタを有

していることを特徴とする半導体装置の作製方法である。

【 0 0 2 2 】上記構成において、前記第 2 の基板として、プラスチック基板を用いることを特徴としている。また、前記分離層としてシリコンからなる膜を用いることを特徴としている。

【 0 0 2 3 】また、上記構成において、前記カラーフィルタは、前記第 2 の基板側から見て前記活性層と重なることを特徴としている。また、前記活性層と重なるカラーフィルタは赤色であることを特徴としている。

【 0 0 2 4 】また、作製方法に関する他の発明の構成は、第 1 の基板上に分離層を形成する工程と、前記分離層上に絶縁膜を形成する工程と、前記絶縁膜上に活性層、ゲート絶縁膜、ゲート電極を形成する工程と、前記ゲート電極を覆う第 1 層間絶縁膜を形成する工程と、前記第 1 層間絶縁膜上に配線及び画素電極を形成する工程と、対向電極を設けた固定基板をシール剤により前記第 1 の基板の上に貼り合わせる工程と、前記画素電極と前記対向電極との間に液晶を注入する工程と、前記分離層をフッ化ハロゲンを含むガスに晒すことにより除去して第 1 の基板を分離する工程と、前記絶縁膜と第 2 の基板とを接着層を用いて貼り合わせる工程とを有し、前記第 2 の基板上にはカラーフィルタを有していることを特徴とする半導体装置の作製方法である。

【 0 0 2 5 】上記構成において、前記カラーフィルタは、前記第 2 の基板側から見て前記活性層と重なることを特徴としている。また、前記活性層と重なるカラーフィルタは赤色であることを特徴としている。

【 0 0 2 6 】また、上記構成において、前記第 2 の基板として、プラスチック基板を用いることを特徴としている。また、前記固定基板として透光性を有する基板を用いることを特徴としている。

【 0 0 2 7 】また、上記構成において、前記分離層としてシリコンからなる膜を用いることを特徴としている。

【 0 0 2 8 】また、前記分離層を除去して第 1 の基板を分離する工程としては、公知の技術、例えば分離層としてシリコンを用い、レーザー光を照射することによって分離してもよい。

【 0 0 2 9 】

【発明の実施の形態】本願発明の実施形態について、以下に説明する。

【 0 0 3 0 】（実施の形態 1）図 1 は、本願発明の一例（E L 表示装置）を示したものである。

【 0 0 3 1 】プラスチック基板（第 2 の基板）1 1 と下地膜 1 2 とが第 2 接着層 5 8 で接着されている。また、下地膜 1 2 上には画素部を構成するスイッチング用 T F T 2 0 1、電流制御用 T F T 2 0 2、駆動回路を構成する p チャネル型 T F T 2 0 5、n チャネル型 T F T 2 0 4 が設けられている。なお、各 T F T は、各 T F T の活性層（チャンネル形成領域 1 7 a、1 7 b、2 9、3 8、

42、ソース領域13、26、35、40、ドレイン領域14、27、36、41、LDD領域15a~d、37を含む)と、活性層を覆うゲート絶縁膜18と、ゲート絶縁膜を介してチャネル形成領域と重なるゲート電極19a、19b、30、39、43と、ゲート電極を覆う第1層間絶縁膜20と、第1層間絶縁膜上に前記活性層に達するソース配線21、31、44、45、及びドレイン配線22、32、46と、ソース配線及びドレイン配線を覆う第1パッシベーション膜47と、第1パッシベーション膜を覆う第2層間絶縁膜48とを含む。ただし、電流制御用TFT202においては、第2層間絶縁膜48上にドレイン配線32に達する画素電極(陽極)49と、画素電極上にEL層51と、EL層上に陰極52と、陰極上に保護電極53とを有している。

【0032】また、保護電極を覆う第2パッシベーション膜54と固定基板56とを接着させる第1接着層55が設けられている。この固定基板56は、素子と基板とを分離する際、素子を固定するためのものであり、固定基板56は、ガラス基板、石英基板、セラミック基板、シリコン基板、もしくはプラスチック基板であればよい。

【0033】図1に示したEL表示装置の発光方向は、図中の矢印の方向であり、発光した光は、カラーフィルタ57を通過し、第2の基板11を通過して放射される。

【0034】また、本願発明は、第2の基板11において貼り合わせる面側にカラーフィルタ57が設けられていることも特徴の一つである。また、図3に示すように第2の基板11上に駆動回路部(ゲート線側駆動回路303、ソース線側駆動回路304)及び画素部302のTFT素子の遮光膜としてカラーフィルタ57を配置していることを特徴としている。また、画素部において、図2に画素部(R)301、画素部(G)302、画素部(B)303のそれぞれに対応するカラーフィルタ304~308の配置例を示す。特に遮光膜としてカラーフィルタを用いる場合、赤色のカラーフィルタは通過する光の波長が高く、非単結晶珪素膜にほとんど影響を与えないため、有効である。参考までに非単結晶珪素膜55nmに対する吸収率と照射される波長との関係を図20に示した。

【0035】本発明において、光の劣化から保護するためにTFTのゲート電極の下方、即ちチャネル形成領域の下方にカラーフィルタ(R)を形成する。

【0036】また、カラーフィルタには、最も単純なストライプパターンをはじめとして、斜めモザイク配列、三角モザイク配列、RGBG四画素配列、もしくはRGBW四画素配列などを用いることができる。

【0037】なお、プラスチック基板上のカラーフィルタを保護するために保護絶縁膜を形成してもよい。保護絶縁膜は、カラーフィルタに含まれる不純物による汚染

を防ぐ上で重要な役割を果たす。こうすることによって劣化しやすいカラーフィルタを保護できる。また、耐熱性も向上することができる。また、カラーフィルタを覆う平坦化のための絶縁膜を形成してもよい。加えて、カラーフィルタとともにブラックマトリクスを形成してもよい。

【0038】また、本願発明は上記構成を実現するための工程として、TFT素子をシリコン膜(シリコンゲルマニウム膜も含む)からなる分離層(膜厚100~500nm)の上に形成しておき、最終工程にてフッ化ハロゲンを含むガスを用いて分離層を除去することを特徴としている。その結果、各素子と前記基板とが分離されるので、その後、素子をプラスチック支持体に接着することが可能となる。このフッ化ハロゲンによるシリコン膜のエッチングは室温で容易に進行するため、耐熱性の低い発光素子を形成した後であっても問題なく行うことができる。

【0039】フッ化ハロゲンとは化学式 XFn (Xはフッ素以外のハロゲン、nは整数)で示される物質であり、一フッ化塩素(ClF)、三フッ化塩素(ClF₃)、一フッ化臭素(BrF)、三フッ化臭素(BrF₃)、一フッ化ヨウ素(IF)もしくは三フッ化ヨウ素(IF₃)を用いることができる。また、シリコン膜は結晶質シリコン膜であっても非晶質シリコン膜であっても良い。このフッ化ハロゲンは、シリコン膜と酸化シリコン膜との選択比が大きく、シリコン膜の選択的なエッチングが可能である。

【0040】なお、上述のフッ化ハロゲンにシリコン膜を晒すだけでシリコン膜はエッチングされるが、他のフッ化物(四フッ化炭素(CF₄)もしくは三フッ化窒素)であってもプラズマ状態とすることで本願発明に用いることは可能である。

【0041】加えて、物理的な作用(光、熱など)、化学的な作用(薬液との反応など)、あるいは機械的な作用(引張力、振動など)のいずれか一または複数の作用を受けることで基板から分離させてもよい。

【0042】こうすることにより、プラスチック基板上に特性の良好なTFTを設けることができるとともに、さらなるEL表示装置の軽量化を図ることができる。また、組み立てが容易となる。

【0043】(実施の形態2)図12は、本願発明の一例(液晶表示装置)を示したものである。

【0044】第2の基板(プラスチック基板)1108上にカラーフィルタ1106を設けられ、第1の接着層1107によりTFT素子の下地膜と接着されている。なお、ここでは、赤色、青色、緑色の画素のうち、赤色の画素部を示している。また、固定基板1001には対向電極1002、配向膜1003が設けられている。ただし、固定基板は透光性を有した基板である。また、TFT素子と固定基板は、図示していないがシール材で接

着されている。画素部の画素電極と対向基板との間には液晶 1004 が挟持されている。

【0045】図 12 において、最も特徴的である点は、カラーフィルタが設けられている面を内側にして貼り合わせている点である。また、カラーフィルタの配置は図 14、図 15 に示したようにする。このように、駆動回路部及び画素部の TFT 素子の遮光膜としてカラーフィルタを配置した場合、赤色のカラーフィルタは通過する光の波長が高く、非単結晶珪素膜にほとんど影響を与えないため、有効である。また、カラーフィルタからなる遮光膜と TFT の半導体膜との距離が近いこと、効率よく遮光することができる。

【0046】こうすることにより、プラスチック基板上に特性の良好な TFT を設けることができるとともに、さらなる液晶表示装置の軽量化を図ることができる。また、組み立てが容易となる。

【0047】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0048】

【実施例】
【実施例 1】本願発明の実施例について図 4～図 7 を用いて説明する。ここでは、第 1 の基板 500 上に画素部とその周辺に設けられる駆動回路部の TFT を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位である CMOS 回路を図示することとする。

【0049】図 4 (A) において、500 は素子が形成される基板（以下、素子形成基板という）であり、その上には非晶質シリコン膜からなる分離層 501a が 100～500 nm（本実施の形態では 300 nm）の厚さに形成される。本実施の形態では素子形成基板（第 1 の基板）500 としてガラス基板を用いるが、石英基板、シリコン基板、金属基板もしくはセラミックス基板を用いても構わない。なお、本明細書中では、半導体素子もしくは発光素子が形成された基板全体を指して素子形成基板と呼ぶ場合もある。

【0050】また、分離層 501a の成膜は減圧熱 CVD 法、プラズマ CVD 法、スパッタ法もしくは蒸着法を用いれば良い。分離層 501a の上には酸化シリコン膜からなる絶縁膜 501b が 200 nm の厚さに形成される。絶縁膜 501b の形成は減圧熱 CVD 法、プラズマ CVD 法、スパッタ法もしくは蒸着法を用いれば良い。

【0051】次に、絶縁膜 501b の上に 50 nm の厚さの非晶質シリコン膜 502 を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0052】ここから図 4 (C) までの工程は本出願人による特開平 10-247735 号公報を完全に引用す

ることができる。同公報では Ni 等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0053】まず、開口部 503a、503b を有する保護膜 504 を形成する。本実施例では 150 nm 厚の酸化珪素膜を用いる。そして、保護膜 504 の上にスピコート法によりニッケル (Ni) を含有する層 (Ni 含有層) 505 を形成する。この Ni 含有層の形成に関しては、前記公報を参考にすれば良い。

【0054】次に、図 4 (B) に示すように、不活性雰囲気中で 570℃ 14 時間の加熱処理を加え、アモルファスシリコン膜 502 を結晶化する。この際、Ni が接した領域（以下、Ni 添加領域という）506a、506b を起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜 507 が形成される。

【0055】次に、図 4 (C) に示すように、保護膜 504 をそのままマスクとして 15 族に属する元素（好ましくはリン）を Ni 添加領域 506a、506b に添加する。こうして高濃度にリンが添加された領域（以下、リン添加領域という）508a、508b が形成される。

【0056】次に、図 4 (C) に示すように、不活性雰囲気中で 600℃、12 時間の加熱処理を加える。この熱処理によりポリシリコン膜 507 中に存在する Ni は移動し、最終的には殆ど全て矢印が示すようにリン添加領域 508a、508b に捕獲されてしまう。これはリンによる金属元素（本実施例では Ni）のゲッタリング効果による現象であると考えられる。

【0057】この工程によりポリシリコン膜 509 中に残る Ni の濃度は SIMS（質量二次イオン分析）による測定値で少なくとも 2×10^{17} atoms/cm³ にまで低減される。Ni が、この程度まで低減されると TFT 特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状の SIMS 分析の測定限界であるので、実際にはさらに低い濃度（ 2×10^{17} atoms/cm³ 以下）であると考えられる。

【0058】こうして触媒を用いた結晶化され、且つ、その触媒が TFT の動作に支障を与えないレベルにまで低減されたポリシリコン膜 509 が得られる。その後、このポリシリコン膜 509 のみを用いた活性層 510～513 をバターニング工程により形成する。なお、この時、後のバターニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。（図 4 (D)）

【0059】次に、50 nm 厚の窒化酸化シリコン膜をプラズマ CVD 法により形成し、その上で酸化雰囲気中で 950℃、1 時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0060】この熱酸化工程では活性層と上記窒化酸化

シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜514が形成される。また、活性層510~513の膜厚はこの熱酸化工程によって30nmとなる。(図4(E))

【0061】次に、図5(B)に示すように、レジストマスク515a、515bを形成し、ゲート絶縁膜514を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程(チャネルドープ工程という)はTFETのしきい値電圧を制御するための工程である。

【0062】なお、本実施例ではジボラン(B_2H_6)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^2$ (代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^2$)の濃度でボロンを含む不純物領域516~518が形成される。

【0063】次に、図5(B)に示すように、レジストマスク519a、519bを形成し、ゲート絶縁膜514を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH_3)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{ atoms/cm}^2$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0064】この工程により形成されるn型不純物領域520には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^2$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^2$)の濃度で含まれるようにドーパ量を調節する。

【0065】次に、図5(C)に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので電熱炉を用いたファーンেসアニール処理が好ましい。また、図5(A)の工程でチャネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0066】本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を800℃、1時間のファーンেসアニール処理により行う。なお、処理雰囲気は酸性雰囲気にして熱酸化を行っても良いし、不活性雰囲気で加熱処理を行っても良い。

【0067】この工程によりn型不純物領域520の端

部、即ち、n型不純物領域520の周囲に存在するn型不純物元素を添加していない領域(図5(A)の工程で形成されたp型不純物領域)との境界部(接合部)が明確になる。このことは、後にTFETが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0068】次に、200~400nm厚の導電膜を形成し、パターニングしてゲート電極521~524を形成する。なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。

【0069】具体的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、アルミニウム(Al)、銅(Cu)、銀(Ag)または、導電性を有するシリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物でなる膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

【0070】本実施例では、50nm厚の窒化タングステン(WN)膜と、350nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0071】また、この時、ゲート電極522はn型不純物領域520の一部とゲート絶縁膜514を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極523a、523bは断面では二つに見えるが、実際は電氣的に接続されている。

【0072】次に、図6(A)に示すように、ゲート電極521~524をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域525~532にはn型不純物領域520の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^2$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^2$)の濃度が好ましい。

【0073】次に、図6(B)に示すように、ゲート電極等を覆う形でレジストマスク533a~533dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域534~538を形成する。ここでもフォスフィン(PH_3)を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ (代表的には $2 \times 10^{19} \sim 5 \times 10^{20}$

$^{11}\text{atoms/cm}^2$) となるように調節する。

【0074】この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTは、図6(A)の工程で形成したn型不純物領域528~530の一部を残す。この残された領域が、図1におけるスイッチング用TFTのLDD領域15a~15dに対応する。

【0075】次に、図6(C)に示すように、レジストマスク533a~533dを除去し、新たにレジストマスク539を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域540~543を形成する。ここではジボラン(B_2H_6)を用いたイオンドープ法により $3 \times 10^{18} \sim 3 \times 10^{21}\text{atoms/cm}^2$ (代表的には $5 \times 10^{18} \sim 1 \times 10^{21}\text{atoms/cm}^2$)の濃度となるようにボロンを添加する。

【0076】なお、不純物領域540~543には既に $1 \times 10^{18} \sim 1 \times 10^{21}\text{atoms/cm}^2$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0077】次に、図6(D)に示すように、レジストマスク539を除去した後、第1層間絶縁膜544を形成する。第1層間絶縁膜544としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5 μm とすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0078】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0079】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0080】なお、水素化処理は第1層間絶縁膜544を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0081】次に、図7(A)に示すように、第1層間絶縁膜544に対してコンタクトホールを形成し、ソース配線545~548と、ドレイン配線549~551を形成する。加えて、分離層を効率よく除去するため

に、画素の各所に分離層501aまで達するコンタクトホールを形成する。また、ここでは図示しないが、外部の配線と接続させるために端子部において、分離層501aまで達するコンタクトホールを形成し、ソース配線またはドレイン配線と接続する配線を形成している。また、上記分離層501aまで達するコンタクトホールは、第1層間絶縁膜544、ゲート絶縁膜514、下地膜501bを順次エッチングすることによって形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0082】次に、50~500nm(代表的には200~300nm)の厚さで第1パッシベーション膜552を形成する。本実施例では第1パッシベーション膜552として300nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0083】この時、窒化酸化シリコン膜の形成に先立って H_2 、 NH_3 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜544に供給され、熱処理を行うことで、第1パッシベーション膜552の膜質が改善される。それと同時に、第1層間絶縁膜544に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0084】次に、図7(B)に示すように、有機樹脂からなる第2層間絶縁膜553を形成する。有機樹脂としてはポリイミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第2層間絶縁膜553はTFTが形成する段差を平坦化するので、平坦性に優れたアクリル膜が好ましい。本実施例では2.5 μm の厚さでアクリル膜を形成する。

【0085】次に、第2層間絶縁膜553、第1パッシベーション膜552にドレイン配線551に達するコンタクトホールを形成し、画素電極(陽極)554を形成する。本実施例では酸化インジウム・スズ(ITO)膜を110nmの厚さに形成し、パターニングを行って画素電極とする。また、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極がEL素子の陽極となる。

【0086】次に、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500nmの厚さに形成し、画素電極554に対応する位置に開口部を形成して第3層間絶縁膜555を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることができる。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0087】次に、EL層556及び陰極(MgAg電極)557を、真空蒸着法を用いて大気解放しないで連

続形成する。なお、EL層556の膜厚は80~200nm(典型的には100~120nm)、陰極557の厚さは180~300nm(典型的には200~250nm)とすれば良い。

【0088】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層及び陰極を形成するのが好ましい。

【0089】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0090】なお、EL層556としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0091】なお、緑色の発光層を形成する時は、発光層の母体材料としてAlq₃(トリス-8-キノリノラトアルミニウム錯体)を用い、キナグリドンもしくはクマリン6をドープアントとして添加する。また、赤色の発光層を形成する時は、発光層の母体材料としてAlq₃を用い、DCJT、DCM1もしくはDCM2をドープアントとして添加する。また、青色の発光層を形成する時は、発光層の母体材料としてBA1q₃(2-メチル-8-キノリノールとフェノール誘導体の混合配位子を持つ5配位の錯体)を用い、ペリレンをドープアントとして添加する。

【0092】勿論、上記有機材料に限定する必要はなく、公知の低分子系有機EL材料、高分子系有機EL材料もしくは無機EL材料を用いることが可能である。高分子系有機EL材料を用いる場合は塗布法を用いることもできる。また、EL層として一重項励起により発光(蛍光)する発光材料(シングレット化合物)からなる薄膜、または三重項励起により発光(リン光)する発光材料(トリプレット化合物)からなる薄膜を用いることができる。

【0093】また、保護電極558としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極558はEL層及び陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、EL層及び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0094】最後に、窒化珪素膜でなる第2パッシベーション膜559を300nmの厚さに形成する。実際には保護電極558がEL層を水分等から保護する役割を果たすが、さらに第2パッシベーション膜559を形成しておくことで、EL素子の信頼性をさらに高めることができる。

【0095】こうして第1の基板500上に図7(C)に示すような構造のアクティブマトリクス型EL表示装置が完成する。なお、実際には、図7(C)まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)やセラミックス製シーリングカンなどのハウジング材でパッケージング(封入)することが好ましい。その際、ハウジング材の内部を不活性雰囲気にし、内部に吸湿性材料(例えば酸化バリウム)を配置することでEL層の信頼性(寿命)が向上する。

【0096】[実施例2] 本実施例では、実施例1の工程終了後、実施例1で第1の基板上に形成されたTFE及びEL素子をプラスチック基板に移す工程の一例を図8、図9に説明する。

【0097】まず、実施例1に従って図7(C)の状態を得る。ただし、本実施例では、カラーフィルタを用いるため、白色発光の有機EL層を備えたEL素子を用いた。具体的には、発光層として、特開平8-96959号公報または特開平9-63770号公報に記載された材料を用いれば良い。本実施例では発光層として1, 2-ジクロロメタンに、PVK(ポリビニルカルバゾール)、Bu-PBD(2-(4'-tert-ブチルフェニル)-5-(4''-ビフェニル)-1, 3, 4-オキサジアゾール)、クマリン6、DCM1(4-ジシアノメチレン-2-メチル-6-p-ジメチルアミノスチリル-4H-ピラン)、TPB(テトラフェニルブタジエン)、ナイルレッドを溶解したものを用いる。

【0098】なお、図8(A)は、図7(C)に対応している。また、図7(C)中の第1の基板500は第1の基板600に対応し、分離層501aは分離層601に対応している。ただし、実施例1では示さなかったが図8(A)では端子部も示している。端子部においてソース配線またはドレイン配線と接続している配線は分離層601と接して形成されている。

【0099】次に、図8(B)に示すように、第1接着層603により素子を固定するための基板(以下、固定基板という)602を貼り合わせる。本実施の形態では固定基板602として可撓性のプラスチックフィルムを

用いるが、ガラス基板、石英基板、プラスチック基板、シリコン基板もしくはセラミックス基板を用いても良い。また、第1接着層603としては、後に分離層601を除去する際に選択比のとれる材料を用いる必要がある。

【0100】代表的には樹脂からなる絶縁膜を用いることができ、本実施の形態ではポリイミドを用いるが、アクリル、ポリアミドもしくはエポキシ樹脂を用いても良い。なお、EL素子から見て観測者側（電気光学装置の使用者側）に位置する場合は、光を透過する材料であることが必要である。

【0101】図8（B）のプロセスを行うことによりパッケージング処理と同様に、EL素子を完全に大気から遮断することができる。これにより酸化による有機EL材料の劣化をほぼ完全に抑制することができ、EL素子の信頼性を大幅に向上させることができる。

【0102】次に、図8（C）に示すように、EL素子の形成された第1の基板600全体を、フッ化ハロゲンを含むガス中に晒し、分離層601の除去を行う。本実施の形態ではフッ化ハロゲンとして三フッ化塩素（ CF_3 ）を用い、希釈ガスとして窒素を用いる。希釈ガスとしては、アルゴン、ヘリウムもしくはネオンを用いても良い。流量は共に500 sccm（ $8.35 \times 10^{-4} \text{ m}^3/\text{s}$ ）とし、反応圧力は1~10 Torr（ $1.3 \times 10^1 \sim 1.3 \times 10^2 \text{ Pa}$ ）とすれば良い。また、処理温度は室温（典型的には20~27℃）で良い。

【0103】この場合、シリコン膜はエッチングされるが、プラスチックフィルム、ガラス基板、ポリイミド膜、酸化シリコン膜はエッチングされない。即ち、三フッ化塩素ガスに晒すことで分離層601が選択的にエッチングされ、最終的には完全に除去される。なお、同じくシリコン膜で形成されている活性層はゲート絶縁膜に覆われているため三フッ化塩素ガスに晒されることがなく、エッチングされることはない。

【0104】本実施例の場合、分離層601は露呈した端部から徐々にエッチングされていき、完全に除去された時点で第1の基板600と下地膜が分離される。このとき、TFT及びEL素子は薄膜を積層して形成されているが、固定基板602に移された形で残る。

【0105】なお、ここでは分離層601が端部からエッチングされていくことになるが、第1の基板600が大きくなると完全に除去されるまでの時間が長くなり好ましいものではない。従って、第1の基板600が対角3インチ以下（好ましくは対角1インチ以下）である場合に望ましい。

【0106】こうして固定基板602にTFT及びEL素子に移したら、図9（A）に示すように、第2接着層608を形成し、プラスチック基板である第2基板605を貼り合わせる。なお、第2の基板605には、画素部において、各画素及びTFTの位置に対応するカラー

フィルタ606が設けられ、端子部において端子接続部607と、露呈した配線と接するように端子接続部上に設けられた導電性フィラーを含む導電異方性接着剤609とが設けられている。

【0107】このとき、各カラーフィルタ606はスピコート法とフォトリソグラフィ技術との組み合わせもしくは印刷法を用いて形成することができるため、問題なくプラスチックフィルム上に形成することができる。カラーフィルタは、顔料を含んだアクリル樹脂（富士フィルムオーリン製）を膜厚1~2 μm のものをを用いた。また、素子形成基板上にカラーフィルタを形成する場合に比べて、歩留まりの向上が期待できる。

【0108】また、第2接着層608としては樹脂からなる絶縁膜（代表的にはポリイミド、アクリル、ポリアミドもしくはエポキシ樹脂）を用いても良いし、無機絶縁膜（代表的には酸化シリコン膜）を用いても良い。

【0109】こうして第1の基板600から第2の基板605へとTFT及びEL素子に移される。その結果、図9（B）に示したように、第2の基板605上に画素部612、駆動回路部611、端子部610が設けられたフレキシブルなEL表示装置を得ることができる。

【0110】また、固定基板600と第2の基板605を同一材料（プラスチックフィルム）とすると熱膨張係数が等しくなるので、温度変化による応力歪みの影響を受けにくくすることができる。

【0111】〔実施例3〕本実施例では実施例2に示した端子部とは異なる構造の端子部を図10（A）に示す。

【0112】図10（A）において、TFT素子及びEL素子の構成は実施例2と同一であるので省略する。

【0113】以下に図10（A）に示した端子部の作製方法を示す。まず、第2の基板上に、実施例2と同様にカラーフィルタを形成する。次いで、このカラーフィルタを覆う保護膜707を形成する。次いで、保護膜上に露呈された配線と重なる位置に第1電極704を形成する。次いで、この状態の第2基板と下地膜700とを接着層で接着する。次いで、第2の基板705、保護膜707を順次エッチングして電極704に達するコンタクトホールを形成する。次いで、第2電極706を形成する。こうして図10（A）に示した端子部701が形成される。

【0114】また、上記端子部とは構造が異なる他の例を図10（B）に示す。

【0115】図10（B）において、画素部803及び駆動回路部802を形成する際、下地膜800を形成する前に電極804を形成しておく。そして、貼り合わせる第2の基板805の端部と固定基板との端部をずらすことによって、電極804を露出させたままの状態とする。こうして端子部801が形成される。

【0116】本実施例は、実施例1または実施例2と自

由に組み合わせることが可能である。

【0117】〔実施例4〕実施例1及び実施例2に従い、パッケージング等の処理により気密性を高めたら、第2の基板（プラスチック基板）上に形成された素子又は回路から引き回された端子接続部607（図9

（A））と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できる状態にまでしたEL表示装置を本明細書中ではELモジュールという。

【0118】本実施例では、本実施例のアクティブマトリクス型EL表示装置の構成を図11の斜視図を用いて説明する。本実施例のアクティブマトリクス型EL表示装置は、プラスチック基板901上に形成された、画素部902と、ゲート側駆動回路903と、ソース側駆動回路904で構成される。画素部のスイッチング用TFT905はnチャンネル型TFTであり、ゲート側駆動回路903に接続されたゲート配線906、ソース側駆動回路904に接続されたソース配線907の交点に配置されている。また、スイッチング用TFT905のドレインは電流制御用TFT908のゲートに接続されている。

【0119】さらに、電流制御用TFT908のソース側は電源供給線909に接続される。本実施例のような構造では、EL駆動電源線909には接地電位（アース電位）が与えられている。また、電流制御用TFT908のドレインにはEL素子910が接続されている。また、このEL素子910のカソードには所定の電圧（本実施例では10～12V）が加えられる。

【0120】そして、外部入出力端子となるFPC911には駆動回路まで信号を伝達するための入出力配線（接続配線）912、913、及びEL駆動電源線909に接続された入出力配線914が設けられている。また、ここでは固定基板915でパッケージングしている。

【0121】また、本実施例は実施例1乃至3のいずれか一と自由に組み合わせることが可能である。

【0122】〔実施例5〕本発明の実施例を図16～図18を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、画素部の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

【0123】図16（A）において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板や石英基板などを用いる。

【0124】そして、基板101のTFTを形成する表面に、後の工程で基板101を分離するために分離層100を形成する。非晶質シリコン膜からなる分離層10

0は100～500nm（本実施の形態では300nm）の厚さに形成される。分離層100の成膜は減圧熱CVD法、プラズマCVD法、スパッタ法もしくは蒸着法を用いれば良い。分離層100の上には、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜102aを10～200nm（好ましくは50～100nm）、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜102bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。ここでは下地膜102を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させて形成しても良い。

【0125】次に、25～80nm（好ましくは30～60nm）の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの方法で形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。プラズマCVD法で非晶質シリコン膜を形成する場合には、下地膜102と非晶質半導体層103aとは両者を連続形成することも可能である。

【0126】そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを作製する。その方法としてレーザーアニール法や熱アニール法（固相成長法）、またはラビットサーマルアニール法（RTA法）を適用することができる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400～500℃で1時間程度の熱処理を行い含有する水素量を5atom%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0127】結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100～500mJ/cm²（代表的には300～400mJ/cm²）とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を80～98%として行う。このようにして図16（B）に示すように結晶質半導体層103bを得ることができる。

【0128】そして、結晶質半導体層103b上に第1のフォトマスク（PM1）を用い、フォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、図16（C）に示すように島状半導体層104～108を形

成する。結晶質シリコン膜のドライエッチングには CF_4 と O_2 の混合ガスを用いる。

【0129】その後、プラズマCVD法またはスパッタ法により50～200nmの厚さの酸化シリコン膜によるマスク層を形成する。本実施例では130nmの厚さの酸化シリコン膜を形成した。

【0130】次いで、ゲート絶縁膜109を形成する。ゲート絶縁膜109はプラズマCVD法またはスパッタ法を用い、膜厚を40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜から形成する。また、 SiH_4 と N_2O に O_2 を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。また、 SiH_4 と N_2O と H_2 とから作製する酸化窒化シリコン膜はゲート絶縁膜との界面欠陥密度を低減できるので好ましい。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0131】そして、図16(D)に示すように、第1の形状のゲート絶縁膜109上にゲート電極を形成するための耐熱性導電層111を200～400nm(好ましくは250～350nm)の厚さで形成する。耐熱性導電層は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。本明細書でいう耐熱性導電層にはTa、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。本実施例ではW膜を300nmの厚さで形成する。W膜はWをターゲットとしてスパッタ法で形成しても良いし、6フッ化タングステン(WF_6)を用いて熱CVD法で形成することもできる。

【0132】次に、第2のフォトマスク(PM2)を用い、フォトリソグラフィーの技術を使用してレジストによるマスク112～117を形成する。そして、第1のエッチング処理を行う。本実施例ではICPエッチング装置を用い、エッチング用ガスに Cl_2 と CF_4 を用い、1Paの圧力で3.2W/cm²のRF(13.56MHz)電力を投入してプラズマを形成して行う。基板側(試料ステージ)にも224mW/cm²のRF(13.56MHz)電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件でW膜のエッチング速度は約100nm/minである。第1のエッチング処理はこのエッチング速度を基にW膜が丁度エッチングされる時間を推定し、それよりもエッチング時間を20%増加させた時間を実際のエッチング時間とした。

【0133】第1のエッチング処理により第1のテーパ形状を有する導電層118～123が形成される。図17(A)で示すと同様にテーパ部の角度は15～30°が形成される。残渣を残すことなくエッチングする

ためには、10～20%程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W膜に対する酸化窒化シリコン膜(第1の形状のゲート絶縁膜109)の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされ第1のテーパ形状を有する導電層の端部近傍にテーパ形状が形成された第2の形状のゲート絶縁膜134が形成される。

【0134】そして、第1のドーピング処理を行い一導電型の不純物元素を島状半導体層に添加する。ここでは、n型を付与する不純物元素添加の工程を行う。第1の形状の導電層を形成したマスク112～117をそのまま残し、第1のテーパ形状を有する導電層118～123をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。n型を付与する不純物元素をゲート電極の端部におけるテーパ部とゲート絶縁膜とを通して、その下に位置する半導体層に達するように添加するためにドーピング量を $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm²とし、加速電圧を80～160keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。このようなイオンドープ法により第1の不純物領域124、126、128、130、132には $1 \times 10^{10} \sim 1 \times 10^{11}$ atoms/cm²の濃度範囲でn型を付与する不純物元素が添加され、テーパ部の下方に形成される第2の不純物領域(A)には同領域内で必ずしも均一ではないが $1 \times 10^{11} \sim 1 \times 10^{12}$ atoms/cm²の濃度範囲でn型を付与する不純物元素が添加される。

【0135】この工程において、第2の不純物領域(A)125、127、129、131、133において、少なくとも第1の形状の導電層118～123と重なった部分に含まれるn型を付与する不純物元素の濃度変化は、テーパ部の膜厚変化を反映する。即ち、第2の不純物領域(A)125、127、129、131へ添加されるリン(P)の濃度は、第1の形状の導電層に重なる領域において、該導電層の端部から内側に向かって徐々に濃度が低くなる。これはテーパ部の膜厚の差によって、半導体層に達するリン(P)の濃度が変化するためである。

【0136】次に、図17(B)に示すように第2のエッチング処理を行う。エッチング処理も同様にICPエッチング装置により行い、エッチングガスに CF_4 と Cl_2 の混合ガスを用い、RF電力3.2W/cm²(13.56MHz)、バイアス電力45mW/cm²(13.56MHz)、圧力1.0Paでエッチングを行う。この条件で形成される第2の形状を有する導電層140～145が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第1のエ

ッチング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッチングの割合が多くなり、テーパー部の角度は $30 \sim 60^\circ$ となる。また、第2の形状のゲート絶縁膜134の表面が40nm程度エッチングされ、新たに第3の形状のゲート絶縁膜170が形成される。

【0137】そして、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 keVとし、 $1 \times 10^{11}/\text{cm}^2$ のドーズ量で行い、第2の形状を有する導電層140～145と重なる領域の不純物濃度を $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ となるようにする。このようにして、第2の不純物領域(B)146～149を形成する。

【0138】そして、pチャネル型TFTを形成する島状半導体層104、106に一導電型とは逆の導電型の不純物領域156、157を形成する。この場合も第2の形状の導電層140、142をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層105、107、108は、第3のフォトマスク(PM3)を用いてレジストのマスク151～153を形成し全面を被覆しておく。ここで形成される不純物領域156、157はジボラン(B_2H_6)を用いたイオンドープ法で形成する。不純物領域156、157のp型を付与する不純物元素の濃度は、 $2 \times 10^{19} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0139】しかしながら、この不純物領域156、157は詳細にはn型を付与する不純物元素を含有する3つの領域に分けて見ることができる。第3の不純物領域156a、157aは $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域(A)156b、157bは $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域(B)156c、157cは $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域156b、156c、157b、157cのp型を付与する不純物元素の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上となるようにし、第3の不純物領域156a、157aにおいては、p型を付与する不純物元素の濃度を1.5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題はな生じない。また、第4の不純物領域(B)156c、157cは一部が第2のテーパー形状を有する導電層140または142と一部が重なって形成される。

【0140】その後、図18(A)に示すように、ゲート電極およびゲート絶縁膜上から第1の層間絶縁膜158を形成する。第1の層間絶縁膜は酸化シリコン膜、酸

化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜158は無機絶縁物材料から形成する。第1の層間絶縁膜158の膜厚は100～200nmとする。

【0141】そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。

【0142】活性化の工程に続いて、雰囲気ガスを変化させ、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0143】次いで、第2の層間絶縁膜を有機絶縁物材料で形成する。このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減するできる。しかし、吸湿性があり保護膜としては適さないもので、本実施例のように、第1の層間絶縁膜158として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0144】その後、第4のフォトマスク(PM4)を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。

【0145】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、第5のフォトマスク(PM5)によりレジストマスクパターンを形成し、エッチングによってソース線160～164とドレイン線165～168を形成する。

【0146】次いで、その上に透明導電膜を80～120nmの厚さで形成し、第6のフォトマスク(PM6)によりパターンニングすることによって画素電極(図18(B)において180で示す)を形成した。透明導電膜には酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛($\text{ZnO}:\text{Ga}$)などを好適に用いることができる。

【0147】こうして6枚のフォトマスクにより、同一の基板上に、駆動回路のTFTと画素部の画素TFTと

を有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT1100、第1のnチャネル型TFT1101、第2のpチャネル型TFT1102、第2のnチャネル型TFT1103、画素部には画素TFT1104、保持容量1105が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0148】駆動回路の第1のpチャネル型TFT1100には、第2のテーパー形状を有する導電層がゲート電極220としての機能を有し、島状半導体層104にチャンネル形成領域206、ソース領域またはドレイン領域として機能する第3の不純物領域207a、ゲート電極220と重ならないLDD領域を形成する第4の不純物領域(A)207b、一部がゲート電極220と重なるLDD領域を形成する第4の不純物領域(B)207cを有する構造となっている。

【0149】第1のnチャネル型TFT1101には、第2のテーパー形状を有する導電層がゲート電極221としての機能を有し、島状半導体層105にチャンネル形成領域208、ソース領域またはドレイン領域として機能する第1の不純物領域209a、ゲート電極221と重ならないLDD領域を形成する第2の不純物領域

(A) (A)209b、一部がゲート電極221と重なるLDD領域を形成する第2の不純物領域(B)209cを有する構造となっている。チャンネル長2~7 μ mに対して、第2の不純物領域(B)209cがゲート電極221と重なる部分の長さは0.1~0.3 μ mとする。このLovの長さはゲート電極221の厚さとテーパー部の角度から制御する。nチャネル型TFTにおいてこのようなLDD領域を形成することにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。

【0150】駆動回路の第2のpチャネル型TFT1102は同様に、第2のテーパー形状を有する導電層がゲート電極222としての機能を有し、島状半導体層106にチャンネル形成領域210、ソース領域またはドレイン領域として機能する第3の不純物領域211a、ゲート電極222と重ならないLDD領域を形成する第4の不純物領域(A)211b、一部がゲート電極222と重なるLDD領域を形成する第4の不純物領域(B)211cを有する構造となっている。

【0151】駆動回路の第2のnチャネル型TFT1103には、第2のテーパー形状を有する導電層がゲート電極223としての機能を有し、島状半導体層107にチャンネル形成領域212、ソース領域またはドレイン領域として機能する第1の不純物領域213a、ゲート電極223と重ならないLDD領域を形成する第2の不純物領域(A)213b、一部がゲート電極223と重なるLDD領域を形成する第2の不純物領域(B)213cを有する構造となっている。第2のnチャネル型TFT

T201と同様に第2の不純物領域(B)213cがゲート電極223と重なる部分の長さは0.1~0.3 μ mとする。

【0152】〔実施例6〕本実施例では、実施例5で得られたアクティブマトリクス基板から液晶表示装置を作製する例を示す。

【0153】実施例5に従い図18(B)の状態を得た後、配向膜を形成し、固定基板とシール材で貼り合わせる。なお、透光性を有する固定基板1001には対向電極1002、配向膜1003が形成されている。また、図示しないがスペーサとシール材に含まれるフィラーとで基板間隔が保たれている。また、基板間には液晶1004が充填される。

【0154】次いで、実施例2に示したように基板全体をフッ化ハロゲンを含むガス中に晒し、分離層100の除去を行う。本実施例ではフッ化ハロゲンとして三フッ化塩素(CF₃)を用い、希釈ガスとして窒素を用いる。流量は共に500sccm(8.35 $\times 10^{-4}$ m³/s)とし、反応圧力は1~10Torr(1.3 $\times 10^{-1}$ ~1.3 $\times 10^{-1}$ Pa)とすれば良い。また、処理温度は室温(典型的には20~27℃)で良い。

【0155】この場合、シリコン膜はエッチングされるが、プラスチックフィルム、ガラス基板、ポリイミド膜、酸化シリコン膜はエッチングされない。即ち、三フッ化塩素ガスに晒すことで分離層100が選択的にエッチングされ、最終的には完全に除去される。

【0156】本実施例の場合、分離層100は露呈した端部から徐々にエッチングされていき、完全に除去された時点で第1の基板101と下地膜102が分離される。

【0157】次いで、下地膜102と第2の基板(プラスチック基板)1108とを接着層1107で貼り合わせる。(図12)また、第2の基板(プラスチック基板)1108上には、画素部においては各画素電極毎にRGBのいずれかのカラーフィルタ1106が配置されている。また、遮光するため各TFTと重なるように赤色のカラーフィルタが配置されている。なお、図12の画素部は赤(R)の画素のものである。また、図13に緑(G)または青(B)の画素の場合における画素部の断面構造図の一例を示した。TFTと重なるカラーフィルタは赤のカラーフィルタ1106aとし、開口部1109と重なるカラーフィルタは緑(G)または青(B)のカラーフィルタ1106bを配置する。

【0158】また、図12、図13、及び図16~図18には端子部を図示していないが、実施例2または実施例3で示した端子部のいずれか一の構成と同様に分離層に達するコンタクトホールを形成し、所望の配線と接続する電極を作製すればよい。

【0159】〔実施例7〕実施例6に示したカラーフィルタ1106において、図14にストライプ状のカラー

フィルタとした場合を適用した一例を本実施例に示す。図 14 (A) は基板 1400 上に設けられた画素部 1401、ソース線側駆動回路 1402、及びゲート線側駆動回路 1403 とカラーフィルタ 1404 ~ 1405 との配置関係を簡略に示した上面図である。本実施例は、周辺回路である駆動回路 1402、1403 上に赤のカラーフィルタ (R) 1404a、1404b が設けられ、TFT の活性層の光劣化を防止すると同時に平坦化の役割も果たしている。また、画素部 1401 上にはストライプ状にカラーフィルタ (B) 1405b、カラーフィルタ (R) 1405a、カラーフィルタ (G) 1405c が繰り返し配置されている。図 14 (B) に画素の一部 (3×3 行列) を拡大した模式図を示した。図 14 (B) に示すように画素 TFT 部 1407 を保護するカラーフィルタ 1405d が各画素毎に形成されている。なお、ここではソース線、ゲート線、電極を図示していないが、各カラーフィルタの間隙と重なるように配置されているため、光漏れはない。このようにすることによってカラーフィルタ 1405d はブラックマスクの役割を果たすため、従来必要であったブラックマスクの形成工程が省略できる。また、ここでは画素電極と画素 TFT とを接続するコンタクトホールを図示していないが、実際には画素 TFT と画素電極との層間にカラーフィルタを形成しているためコンタクトホール

【0160】〔実施例 8〕本実施例は実施例 7 とは異なるカラーフィルタの配置の例を図 15 に示す。

【0161】図 15 (A) は基板 1500 上に設けられた画素部 1501、ソース線側駆動回路 1502、及びゲート線側駆動回路 1503 とカラーフィルタ 1504、1505 との配置関係を簡略に示した上面図である。本発明は、周辺回路である駆動回路 1502、1503 上に赤のカラーフィルタ (R) 1504 が設けられ、TFT の活性層の光劣化を防止すると同時に平坦化の役割も果たしている。また、画素部 1501 上にはマトリクス状にカラーフィルタ (B) 1505b、カラーフィルタ (G) 1505c が配置され、それらの間隙を埋めるようにカラーフィルタ (R) 1505a が形成されている。図 15 (B) に画素の一部 (3×3 行列) を拡大した模式図を示した。図 15 (B) に示すように画素 TFT 部 1507 を保護するカラーフィルタ 1505a は互いに繋がっている。なお、ここではソース線、ゲート線、電極を図示していないが、各カラーフィルタの間隙と重なるように配置されているため、光漏れはない。このようにすることによってカラーフィルタ 1505a はブラックマスクの役割を果たすため、従来必要であったブラックマスクの形成工程が省略できる。また、ここでは画素電極と画素 TFT とを接続するコンタクトホールを図示していないが、実際には画素 TFT と画素電極との層間にカラーフィルタを形成しているためコン

タクトホールの箇所には開口が存在している。

【0162】〔実施例 9〕実施例 5 ~ 8 を用いて得られたアクティブマトリクス型液晶表示装置の構成を図 19 の斜視図を用いて説明する。なお、図 19 において、図 12、図 13、図 16 ~ 図 18 と同じ符号同士は対応している。図 19 においてアクティブマトリクス型液晶表示装置は、プラスチック基板 1108 上に形成された、画素部 1204 と、走査信号駆動回路 1205 と、画像信号駆動回路 1206 とその他の信号処理回路 1207 とで構成される。画素部 1204 には画素 TFT 1104 と保持容量 1105 が設けられ、画素部の周辺に設けられる駆動回路は CMOS 回路を基本として構成されている。走査信号駆動回路 1205 と、画像信号駆動回路 1206 はそれぞれゲート配線 224 とソース配線 164 で画素 TFT 1104 に接続している。また、フレキシブルプリント配線板 (Flexible Printed Circuit: FPC) 1208 が外部入力端子 1201 に接続していて画像信号などを入力するのに用いる。そして接続配線 1203 でそれぞれの駆動回路に接続している。また、基板 1108 には図示していないが、カラーフィルタが設けられている。

【0163】〔実施例 10〕実施例 1 ~ 4 では EL 素子を用いた電気光学装置を例にして説明してきたが、本願発明は EC (エレクトロクロミクス) 表示装置、フィールドエミッションディスプレイ (FED) または半導体を用いた発光ダイオードを有する電気光学装置に用いることも可能である。

【0164】〔実施例 11〕本願発明を実施して形成された CMOS 回路や画素部は様々な電気光学装置 (アクティブマトリクス型液晶表示装置、アクティブマトリクス型 EL 表示装置、アクティブマトリクス型 EC 表示装置) に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0165】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター (リア型またはフロント型)、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。それらの一例を図 21 及び図 22 に示す。

【0166】図 21 (A) はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 等を含む。本発明を表示部 2003 に適用することができる。

【0167】図 21 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本発明を表示部 2102 に適用することができる。

【0168】図21(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

【0169】図21(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

【0170】図21(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0171】図21(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本発明を表示部2502に適用することができる。

【0172】図22(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を音声出力部2902、音声入力部2903、表示部2904に適用することができる。

【0173】図22(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0174】図22(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0175】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~10のどのような組み合わせからなる構成を用いても実現することができる。

【0176】

【発明の効果】本発明は、半導体素子の作製過程におい

てプラスチックよりも耐熱性の高い基板(素子形成基板)を用いるため、電気特性の高い半導体素子を作製することができる。さらに、半導体素子及び発光素子を形成した後で前記素子形成基板を剥離し、プラスチック支持体を貼り合わせる。

【0177】そのため、プラスチック支持体を支持基板とし、且つ、高性能な電気光学装置を作製することが可能となる。また、支持基板がプラスチックであるため、フレキシブルな電気光学装置にすることもでき、且つ、軽量の電気光学装置とすることが可能である。

【0178】また、半導体素子及び発光素子が設けられた下地膜とプラスチック支持体との間にカラーフィルタを設けることによりカラー化を達成するとともに、TFTの遮光膜として機能させることができ、装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】 本発明のEL表示装置を示す図。

【図2】 各画素における発光方向を示す図。

【図3】 本発明の上面図を示す図。

【図4】 EL表示装置の作製工程を示す図。(実施例1)

【図5】 EL表示装置の作製工程を示す図。(実施例1)

【図6】 EL表示装置の作製工程を示す図。(実施例1)

【図7】 EL表示装置の作製工程を示す図。(実施例1)

【図8】 EL表示装置の作製工程を示す図。(実施例2)

【図9】 EL表示装置の作製工程を示す図。(実施例2)

【図10】 本発明のEL表示装置の端子部を示す図。

【図11】 本発明のEL表示装置の外観を示す図。

【図12】 アクティブマトリクス型液晶表示装置の断面構造図。

【図13】 液晶表示装置の画素部の断面構造図。

【図14】 カラーフィルタの画素の配置例を示す図。

【図15】 カラーフィルタの画素の配置例を示す図。

【図16】 AM-LCDの作製工程を示す図。

【図17】 AM-LCDの作製工程を示す図。

【図18】 AM-LCDの作製工程を示す図。

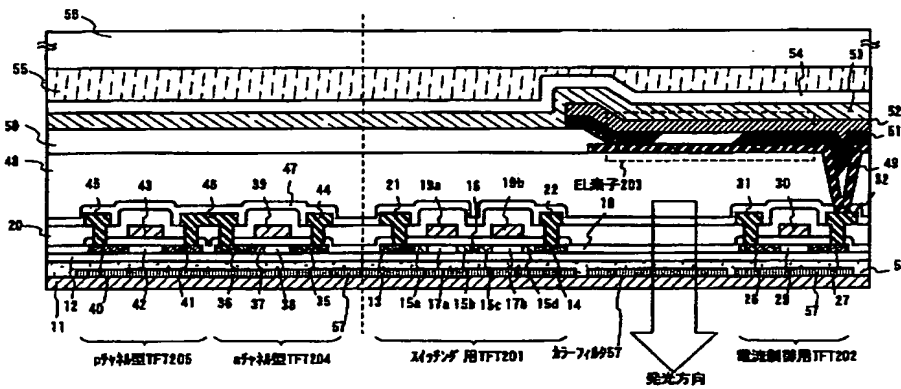
【図19】 AM-LCDの外観を示す図。

【図20】 非単結晶珪素膜に対する吸収率を示す図。

【図21】 電子機器の一例を示す図。

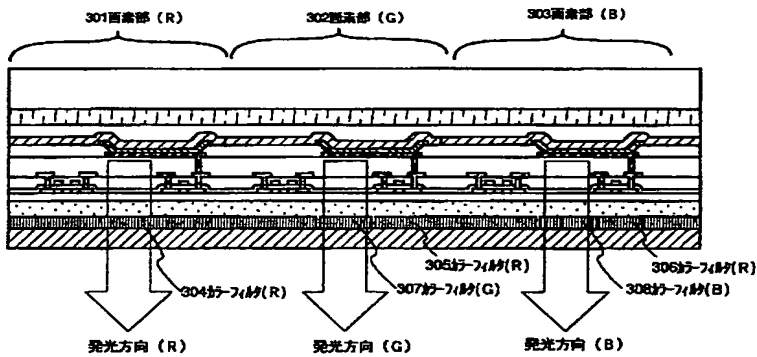
【図22】 電子機器の一例を示す図。

【図1】

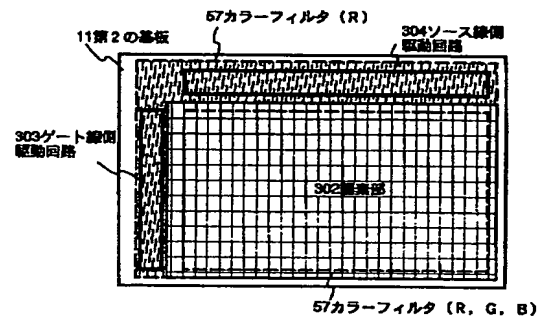


11:第2の基板(プラスチック基板) 12:下地膜 13:ノズ領域 14:ドレイン領域 15a~15d:LOD領域 16:分離領域 17a, 17b:形成領域
 18:ゲート絶縁膜 19a, 19b:ゲート電極 20:第1層間絶縁膜 21:ノズ配線 22:ドレイン配線 23:ノズ領域 24:ドレイン領域 25:ドレイン領域
 26:ノズ領域 27:ドレイン領域 28:形成領域 29:ゲート電極 30:ゲート電極 31:ノズ配線 32:ドレイン配線 33:ノズ領域 34:ドレイン領域 35:ドレイン領域
 36:ドレイン領域 37:LOD領域 38:形成領域 39:ゲート電極 40:ノズ領域 41:ドレイン領域 42:形成領域 43:ゲート電極 44:ゲート電極
 45:ノズ配線 46:ドレイン配線 47:第1層間絶縁膜 48:第2層間絶縁膜 49:固定電極(層) 50:第3層間絶縁膜 51:E.L.層 52:絶縁層 53:保護電極 54:第2層間絶縁膜 55:第1層間絶縁膜 56:固定電極 57:カラーフィルタ 58:第2層間絶縁膜

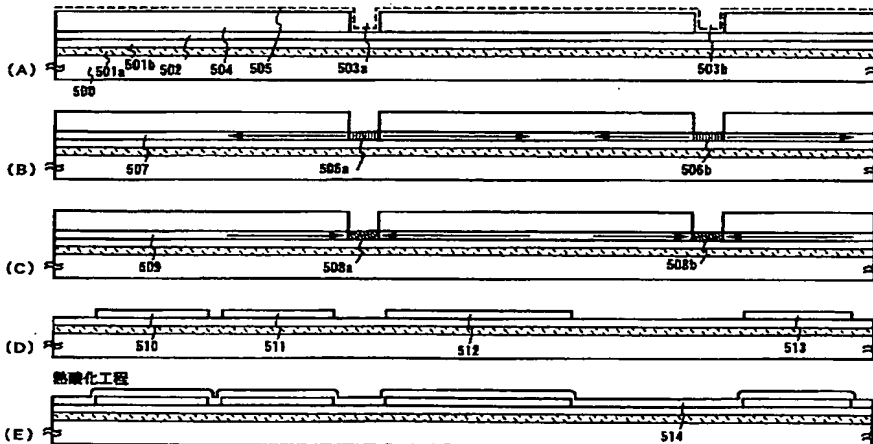
【図2】



【図3】

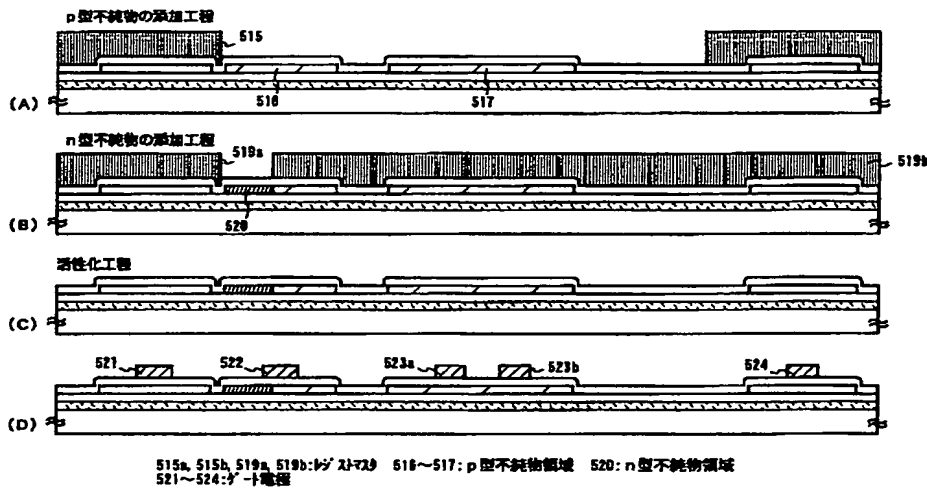


【図4】

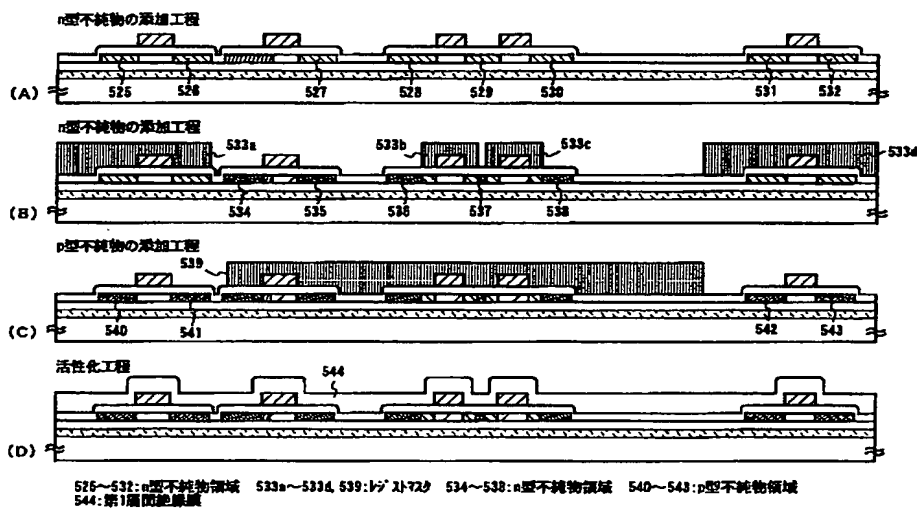


500:石英基板 501a:分離層 501b:下地膜 502:FeF₂/SiO₂工程 503a, 503b:開口部 504:保護膜 505:Al含有層
 506a, 506b:SiO₂/SiO₂領域 507:ゲート電極 508a, 508b:ゲート電極領域 509:ゲート電極
 510~513:活性層 514:ゲート電極

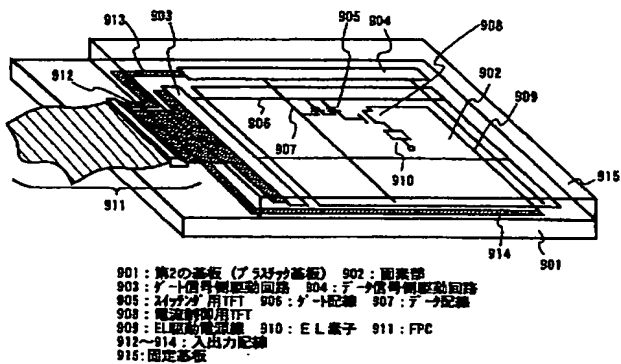
【図5】



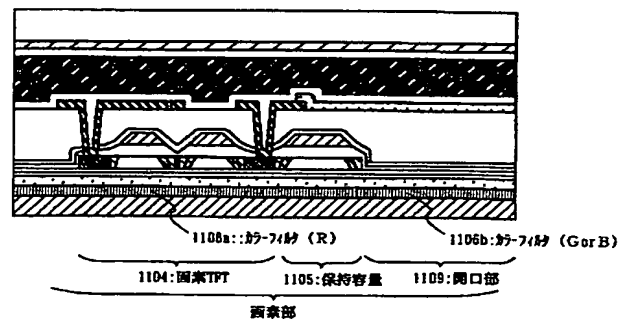
【図6】



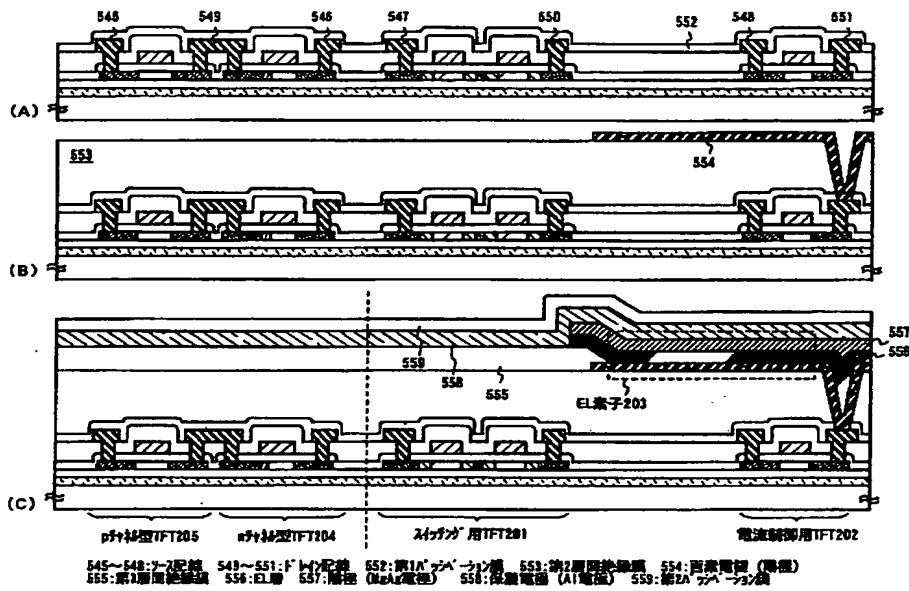
【図11】



【図14】

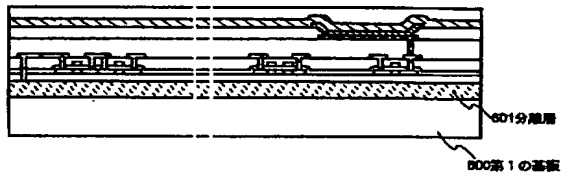


【図7】

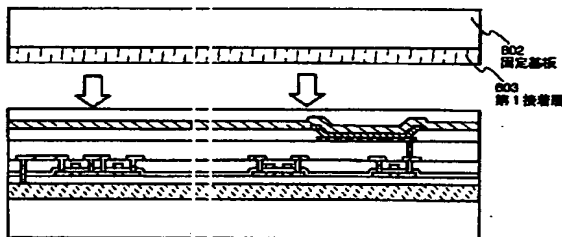
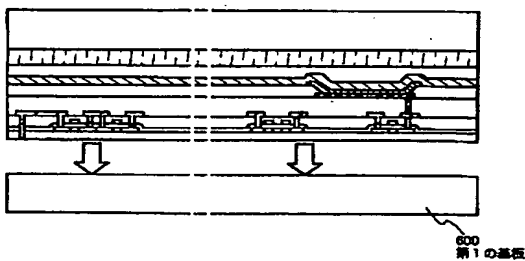


【図8】

(A) EL素子形成後の状態

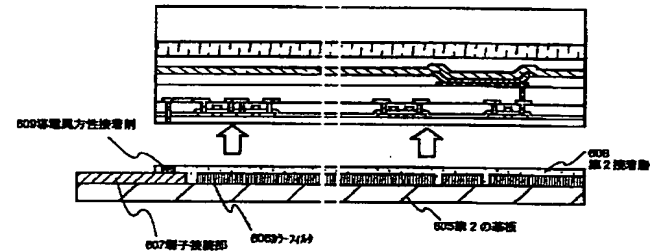


(B) 固定基板を貼り合わせる工程

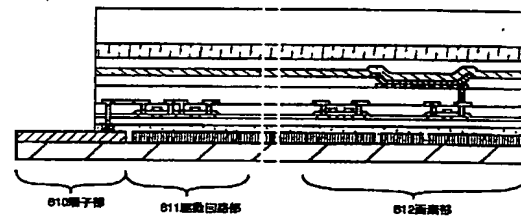
(C) C1F₆により第2の基板を分離する工程

【図9】

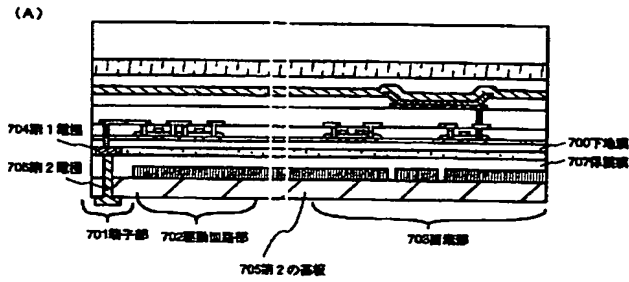
(A) 317-714が設けられた第2の基板 (715の基板) を貼りつける工程



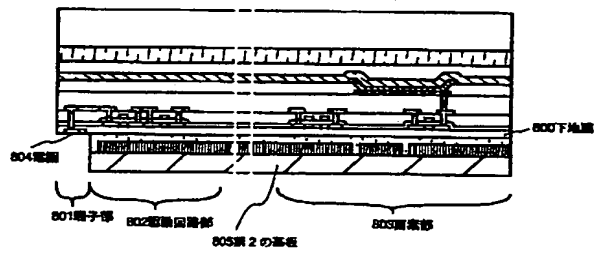
(B)



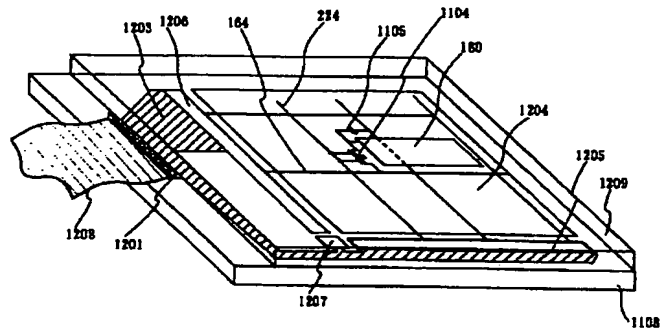
【図10】



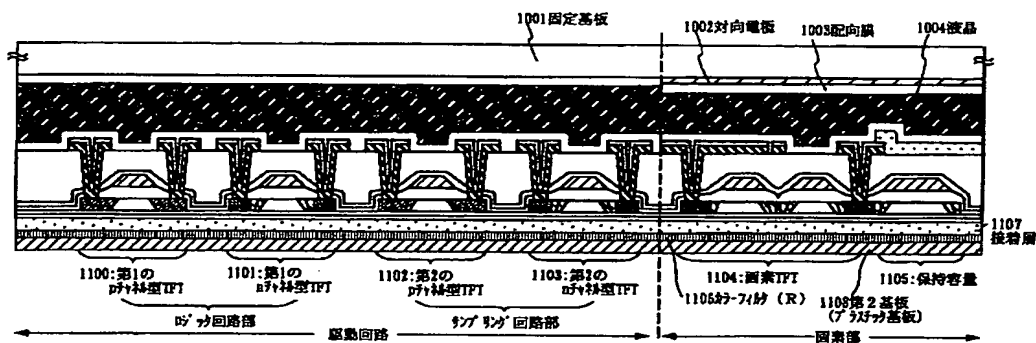
(B)



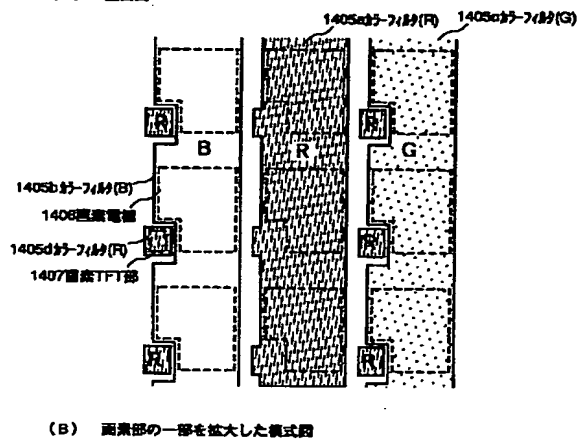
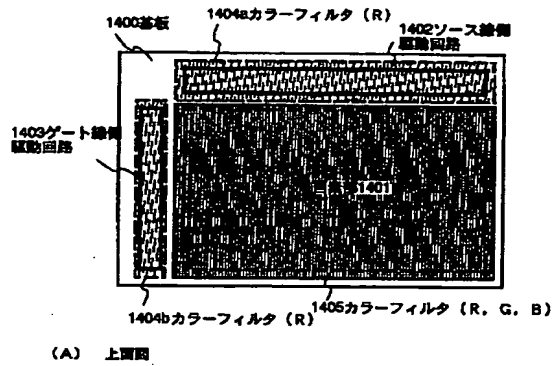
【図19】



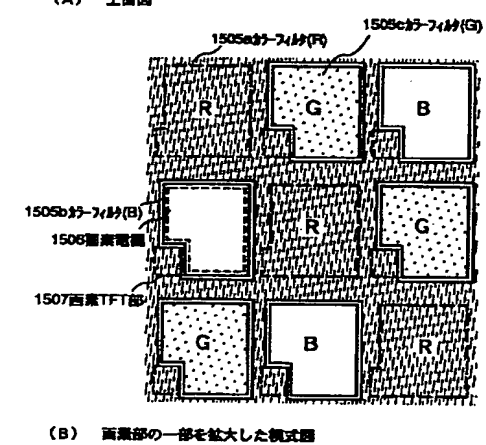
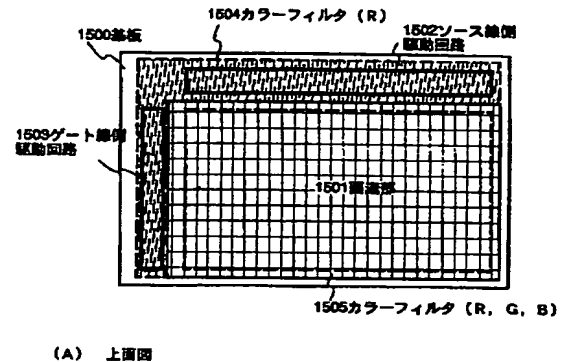
【図12】



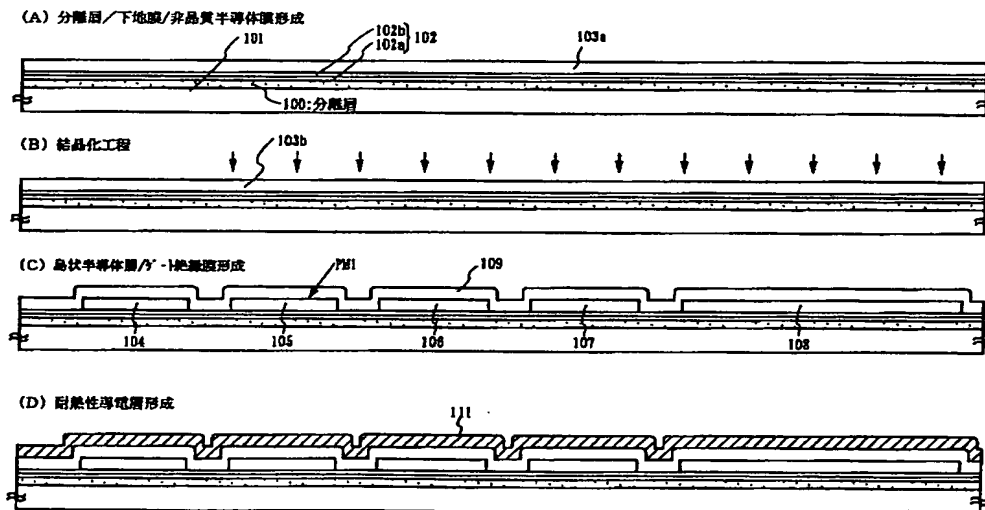
【図 13】



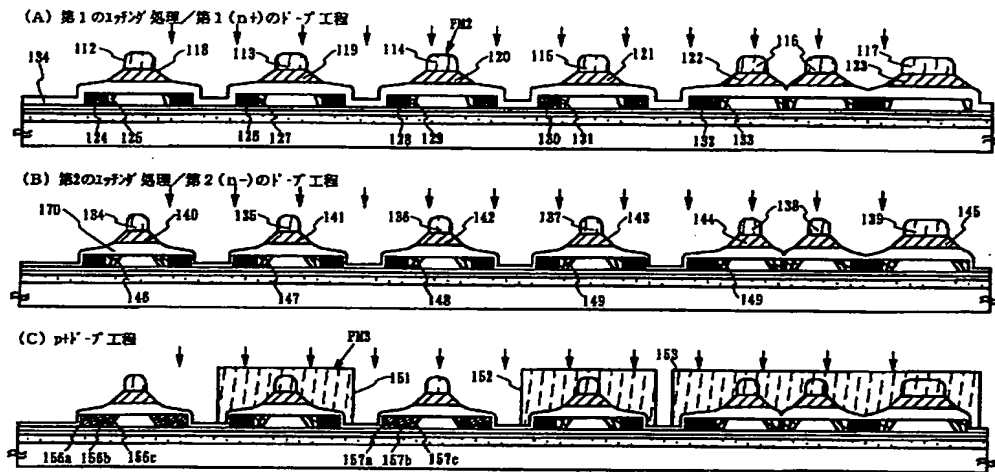
【図 15】



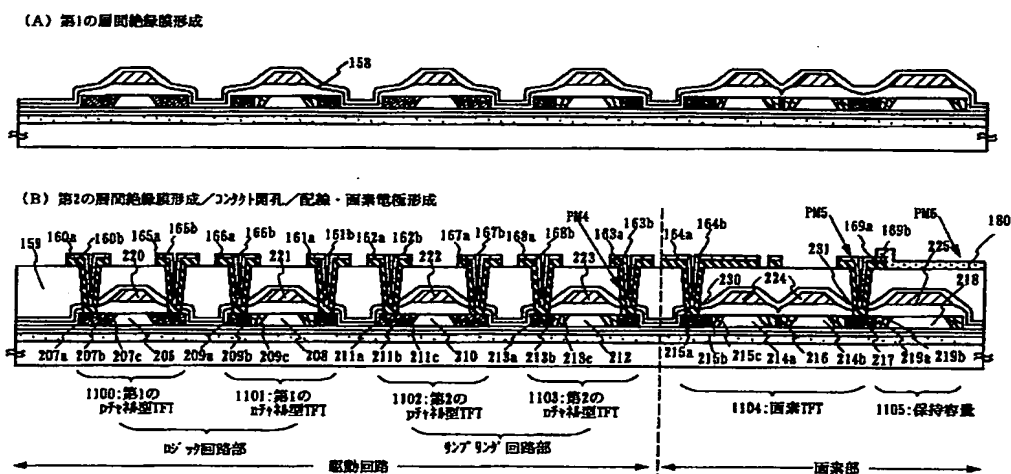
【図 16】



【図17】

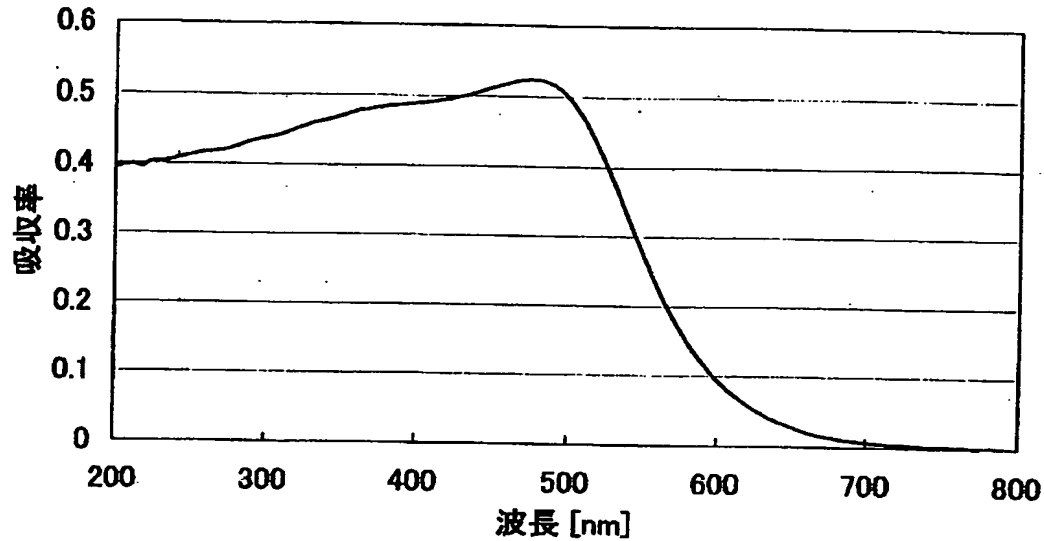


【図18】

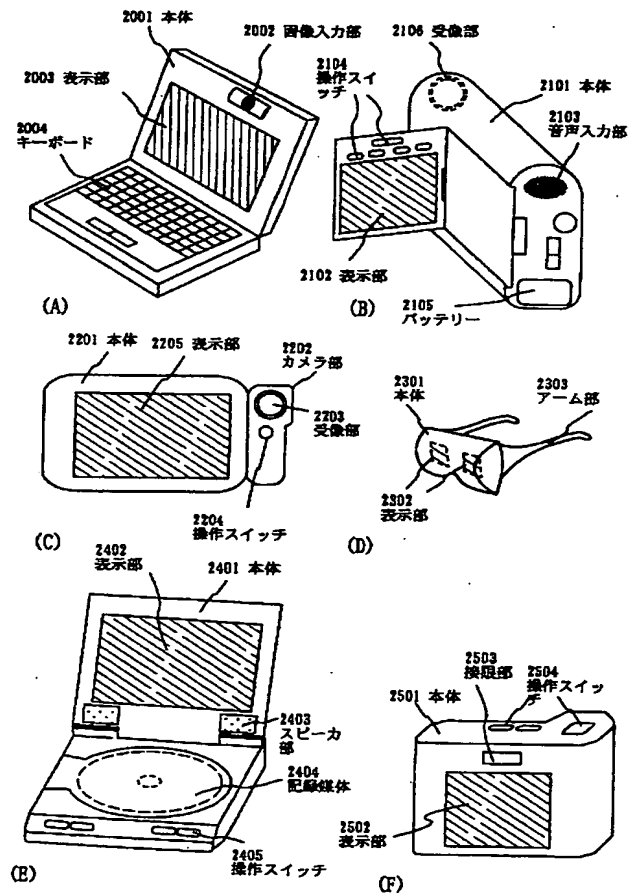


【図20】

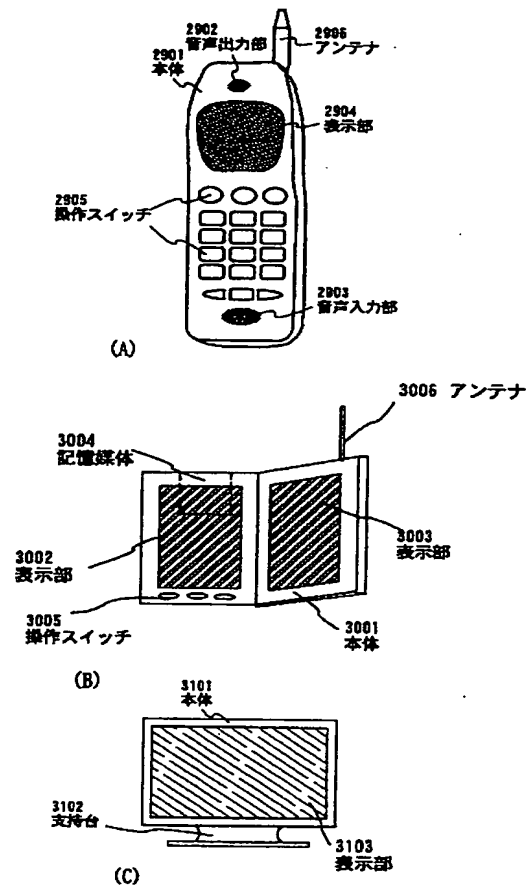
非単結晶珪素膜55nmに対する吸収率



【図21】



【図22】



フロントページの続き

| (51) Int. Cl. | 識別記号 | F I | テ-マコード (参考) |
|-----------------|-------|-----------------|-------------|
| G 0 2 F 1/13357 | | G 0 2 F 1/13357 | |
| 1/1368 | | 1/1368 | |
| G 0 9 F 9/00 | 3 4 2 | G 0 9 F 9/00 | 3 4 2 Z |
| | 3 4 8 | | 3 4 8 C |
| H 0 1 L 29/786 | | H 0 5 B 33/10 | |
| 21/336 | | 33/12 | E |
| H 0 5 B 33/10 | | 33/14 | A |
| 33/12 | | 33/22 | Z |
| 33/14 | | H 0 1 L 29/78 | 6 2 6 C |
| 33/22 | | | 6 2 7 D |

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.